

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-266698

(43)Date of publication of application : 02.11.1988

(51)Int.Cl.

G11C 17/00

G06F 9/06

G06F 12/02

G06F 12/06

(21)Application number : 62-099772

(71)Applicant : HITACHI LTD

(22)Date of filing : 24.04.1987

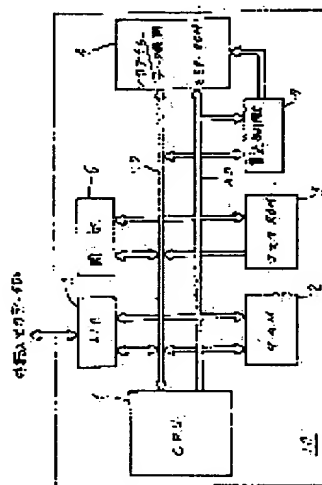
(72)Inventor : MITSUISHI NAOMIKI

(54) MICROCOMPUTER

(57)Abstract:

PURPOSE: To promptly meet the miscellaneous specification demands of a user and miscellaneous uses, and at the same time, to reduce the scale of a constitution in the aspect of a hardware by arranging a ROM and storage device in address positions which are different from each other on the address space of a CPU.

CONSTITUTION: In a case that a data is written in a writable ROM 4, the CPU 1 can be made to execute a prescribed write control processing even during the write operation to the writable ROM 4, by making the CPU 1 jump to other storage device 3 and execute a prescribed write control program stored previously in the device 3, only at that time. Accordingly, a user program region and a data region can be placed in one writable ROM 4, and further, the proportion of the sizes of the respective regions can be optionally selected. Thus, the miscellaneous specification demands of the user can be satisfied promptly, and at the same time, the constitution sale in the aspect of the hardware can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-266698

⑤ Int.Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月2日

G 11 C 17/00
G 06 F 9/06
12/02
12/06

320

B-7341-5B
S-7361-5B
A-8841-5B
V-8841-5B

審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 マイクロコンピュータ

⑮ 特 願 昭62-99772

⑯ 出 願 昭62(1987)4月24日

⑰ 発 明 者 三ッ石 直幹 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

1. 電気的に書込可能なROMを備えたマイクロコンピュータであって、プログラムとデータの両方が書込可能にされた電気的に書込可能なROMと、このROMに書込を行うための書込制御プログラムを格納する記憶装置とを備えるとともに、上記ROMと上記記憶装置が、中央処理ユニットのアドレス空間上に、互いに異なるアドレス位置に配置されたことを特徴とするマイクロコンピュータ。
2. 上記書込制御プログラムを格納する記憶装置がマスクROMであることを特徴とする特許請求の範囲第1項記載のマイクロコンピュータ。
3. 上記書込制御プログラムを格納する記憶装置がRAMであることを特徴とする特許請求の範囲第1項または第2項記載のマイクロコンピュータ。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、マイクロコンピュータ技術、さらにはEEPROM(エレクトリカル・エレーサブル・アンド・プログラマブル・リード・オンリ・メモリ)のような電気的に書込が可能なROMを内蔵したシングルチップ型マイクロコンピュータに適用して有効な技術に関するもので、たとえば、ICカードに内蔵されるマイクロコンピュータに利用して有効な技術に関するものである。

〔従来の技術〕

最近、磁気カードなどに代わるものとして、いわゆるICカードが注目されている。このICカードは、たとえば特公昭56-19665号公報などに記載されているように、ID(識別コード)などのデータを記憶させたPROM(紫外線消去型のプログラマブル・ROM)を内蔵することにより、たとえばキーの代わりをなす識別カードとして機能させることができる。

特開昭63-266698 (2)

ここで、本発明者は、たとえば上述したとき ICカードに内蔵するのに適したEEPROM内蔵型のシングルチップ型マイクロ・コンピュータについて検討した。以下は、公知とされた技術ではないが、本発明者によって検討された技術であり、その概要は次のとおりである。

第6図は本発明者によって検討されたマイクロ・コンピュータ10の構成を示す。

同図に示すマイクロ・コンピュータ10はEEPROM内蔵のシングルチップ型であって、CPU(中央処理ユニット)1、RAM(ランダム・アクセス・メモリ)2、マスクROM(固定記憶ROM)3、EEPROM41、42、I/O(入出力ユニット)5、周辺回路6、およびEEPROM書き制御部7などを同一半導体チップ内に有する。各部(1~7)はアドレスバスLAおよびデータバスLDによって相互に接続されている。

このシングルチップ型マイクロ・コンピュータ10は、たとえばICカード内に内蔵されて使用

される。そして、第7図に示すように、外部とのデータDxの授受はすべてCPU1を介して行われるようになっている。第7図は、第6図に示したマイクロ・コンピュータ10をデータDxの流れに着目して示したものである。このマイクロ・コンピュータ10は適切なソフトウェアによる「鍵」を使用しない限り内蔵ソフトウェアを知ることができない構成とすることができ、ICカード内に内蔵されるシングルチップ型マイクロ・コンピュータとしての適正をもたせている。

ここで、EEPROM41、42は同等のものが互いに独立して2つ設けられている。そして、第8図に示すように、一方のEEPROM41は、いわゆるユーザ・プログラム領域(M1)として利用される。ここには、ユーザが任意に作成したプログラムが予め書き込まれる。このプログラムの書き込みは外部からの制御によってCPU1を停止し、外部から直接EEPROM41に対して行われる。このようなPROMのプログラム方法は例えば(株)日立製作所昭和59年8月発行

「日立マイクロコンピュータデータブック8ビットシングルチップ」823~865頁によって公知である。これにより製造工程におけるマスクROMの書き換えが不要となり、ユーザの多様な応用に即座に応ずることができる。更にEEPROM41に対するプログラムが行われた後、このEEPROMに対する再書き込みあるいは脱出しを禁止することを可能とする手段を有する構成とすれば内蔵ソフトウェアの保護として効果がある。他方のEEPROM42はデータ領域(M2)として利用される。ここには、CPU1によって管理される入出力データのうち、保存を要するデータDxが必要に応じて随時に書き込まれる。このEEPROM42に対する書き込みはCPU1によって制御される書き込み制御回路7を介して行われる。一般にEEPROMの書き込みに要する時間はCPUの平均的な命令実行時間に比べ1000倍程度であって、この書き込み期間、EEPROM42はCPU1から電気的に切離され、EEPROM42の脱出し、書き込み共に不可能となっている。

他方、CPU1は、プログラム格納用EEPROM41に書き込まれたユーザ・プログラムIx2を1命令ずつ読み込みながら、所定の処理動作を実行する。そして、その処理動作の過程にて要保存データDxをデータ格納用EEPROM42に書き込む必要が生じた場合には、EEPROM書き制御部7を介して、そのEEPROM42への書き込みを行う。この処理動作の実行に際しては、マスクROM3に予め標準プログラムIx1として用意されているプログラム・ルーチン(あるいはプログラム・モジュール)が適宜参照される。前記プログラムルーチンは例えばソフトウェアタイマや除算のプログラムであって、多くの用途あるいは応用によって有用なプログラムが用意されている。一般にマスクROMは同容量のEEPROMに比べて小さい面積で実現可能である。このため、全てのプログラムをEEPROM41に格納せずに前記ROM3を利用することで半導体チップ全体のサイズを縮小することが可能となっている。

特開昭63-266698 (3)

しかし、全体的な処理はEEP-ROM 41に書き込まれたユーザ・プログラムに従って行われる。

第7図において示されるようなEEP-ROM書き込み制御部7は、たとえば一方のEEP-ROM 41に書き込まれたプログラムに基づく制御を受けながら、他方のEEP-ROM 42への書き込み動作を行う。この他方のEEP-ROM 42は、書き込みが行われている間、CPU 1から切り離される。

以上のようにして、ユーザの多様な仕様要求及び多様な用途に対して即座に応じられ、かつデータDxを必要に応じてEEP-ROMに半永久的に保存させることが可能なマイクロ・コンピュータ10が構成されている。

[発明が解決しようとする問題点]

しかしながら、上述した技術には、次のような問題点のあることが本発明者によってあきらかとされた。

すなわち、上述したマイクロ・コンピュータ

例えば、データサイズは小さくてよいがプログラムサイズは大きく、あるいはプログラムサイズは小さくてよいがデータサイズは大きく、といったような2通りの要求のいずれにも対応できるようにするためには、結局、2つのEEP-ROM 41、42のそれぞれの記憶容量をどちらも大きくせざるを得ない。さらに、2つのEEP-ROM 41、42の各記憶容量を両方共に大きくしても、そのどちらかは記憶容量が大きく余って有効に利用されない、という無駄が生じやすい。

なお、EEP-ROM 41、42のそれぞれは、メモリアレイとともにセンスアンプ、ドライバ回路のようなデータ入出力のための回路やアドレスを選択するための回路からなる周辺回路をもつ。それ故に、EEP-ROMが複数個独立して形成された場合、センスアンプ、ドライバなどの周辺回路がそれぞれのEEP-ROM内に設けられることになるので、多くの回路要素が必要とされる。これに応じて、EEP-ROMの全体のサイズを大きくせざるを得なくなっている。

10では、ユーザ・プログラムI x 2を書き込むためと要保存データDxを記憶するために、互いに独立した2つのEEP-ROM 41、42が必要となる。EEP-ROMが1つだけでは、そのEEP-ROMに書きを行っている間、そのEEP-ROMに対する読出アクセスができなくなつて、CPU 1が実行すべき命令を読出せなくなつてしまうからである。したがって、上述したように、プログラムとデータとをそれぞれに独立した2つのEEP-ROM 41、42に格納させ、一方のEEP-ROM 41から命令を読出しながら、その読出した命令に基づいて他方のEEP-ROM 42の書き込み制御を実行するように構成しなければならなかった。

しかし、そのためには、互いに独立した2つのEEP-ROM 41、42が必要であり、しかも各EEP-ROM 41、42は、各方面のユーザからの種々多様な仕様要求に対応できるようにするために、それぞれに十分に大きな記憶領域M1、M2を用意できるものでなければならない。たと

そこで、本発明者は、EEP-ROM 41に、EEP-ROM 42の制御のためのプログラムを格納するとともにEEP-ROM 42のプログラムによって参照されるべきデータを格納し、またEEP-ROM 42に、EEP-ROM 41の制御のためのプログラムとともにEEP-ROM 41のプログラムによって参照されるデータを格納することも検討した。このようにすると、EEP-ROM 41および42のそれぞれにおけるプログラム格納エリアとデータ格納エリアとを可変にすることが可能になる。この場合、前述のようなメモリエリアもしくはサイズに関する問題は幾分緩和される。しかしながら、この場合であっても、各EEP-ROM 41および42が互いに独立的なセンスアンプやデコード回路のような周辺回路をそれぞれにもつので、EEP-ROM全体のサイズもしくは半導体チップ全体のサイズに関しての不利益は十分に除去されない。

以上のように、上述したマイクロ・コンピュータでは、ユーザの多様な仕様要求及び多様な用途

特開昭63-266698 (4)

に対して即座に応じられ、かつデータDxを必要に応じてEEP-ROMに半永久的に保存させることができるという利点を有するものの、それぞれに十分に大きな記憶容量をもつ2つの独立したEEP-ROM 41、42が必要であった。このため、そのハードウェア的な構成負担が大きく、とくに、シングルチップ型のものにあつては、その半導体チップサイズがどうしても大きくなってしまい、その割にハードウェア資源の利用効率が必ずしもよくない。という問題点のあることが本発明者によってはじめてあきらかとされた。特にICカードに内蔵する場合に半導体チップサイズの縮小はカード強度の向上のために強い要求があり、上記の半導体チップはこれに反するものとなっている。

本発明の目的は、上述したマイクロ・コンピュータの利点、すなわちユーザの多様な仕様要求及び多様な用途に対して即座に応じられ、かつデータDxを必要に応じてEEP-ROMに半永久的に保存させることができるという利点を保持しつ

された所定の書き制御プログラムを実行させることにより、書き可能なROMへの書き動作中にもCPUに所定の書き制御処理を実行させることができる。これにより、ユーザ・プログラム領域とデータ領域とを1つの書き可能なROM内に置くことができ、さらに各領域の大きさの割合を任意に選ぶことができる。これによって、ユーザの多様な仕様要求に即座に応じられ、かつデータDxを必要に応じて上記ROMに半永久的に保存させることができるという利点を保持しつつ、そのハードウェア的な構成規模の縮小を可能にし、かつハードウェア資源の利用効率を高められるようにする、という目的が達成される。

〔実施例〕

以下、本発明の好適な実施例を図面に基づいて説明する。

なお、各図中、同一符号は同一あるいは相当部分を示す。

第1図はこの発明による技術が適用されたマイクロ・コンピュータ10の主要部における一実施

例、そのハードウェア的な構成規模の縮小を可能にし、かつハードウェア資源の利用効率を高められるようにする、という技術を提供することにある。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、ユーザ・プログラムと要保存データの両方の書き込みが可能とされたプログラム/データ共用の電気的に書き可能なROMと、この書き可能なROMに書きを行うための書き制御プログラムを格納する別の記憶装置とを備えるとともに、上記ROMと上記記憶装置を、CPUのアドレス空間上にて、互いに異なるアドレス位置に配置する、というものである。

〔作用〕

上記した手段によれば、書き可能なROMにデータを書き込むのに際し、そのときだけCPUを別の記憶装置へジャンプさせて、そこに予め格納

例を示す。

同図にその主要部を示すマイクロ・コンピュータ10はシングルチップ型のものであつて、CPU1とともに、ユーザ・プログラムI x 2と要保存データの両方が任意の割合で書き込まれるEEP-ROM 4を備える。これとともに、そのEEP-ROM 4に書きを行うための書き制御プログラムが標準プログラムI x 1の一部として予め固定的に格納されたいわゆるマスクROM 3を備える。

マスクROM 3は書き込み制御プログラムのみを格納したものであってもよく、あるいは更に前記した標準プログラムルーチンを格納したものであってもよい。ここで、書き込み制御プログラムは例えば書き込み制御回路7に対する起動のためのプログラムあるいは書き込みの終了を検出するためのプログラムを含むようなものである。さらに書き込みデータが多量である場合にはRAM 2内の所定の領域に用意されたデータを順次EEP-ROM 4に対して転送し、書き込みを行うものであつてもよい。

特開昭63-266698 (5)

さらに、そのEEP-ROM4とマスクROM3はそれぞれ、上記CPU1のアドレス空間上に、互いに異なるアドレス位置に配置されている。ここで、第1図におけるスイッチは仮想的なものであって、CPU1の実行プログラムがEEP-ROM4に対する書き込み時にはコール命令によってマスクROM3に移り、書き込み終了後リターン命令によってEEP-ROM4に戻ることを示すものである。

この場合、EEP-ROM4内には、そのEEP-ROM4への書き制御プログラムの代わりに、マスクROM3内の特定ルーチンへのコール命令が書き込まれるようになっている。他方、マスクROM3内には、EEP-ROM4のための書き制御プログラムとともに、この書き制御プログラムの最後にEEP-ROM4へのリターン命令が書き込まれるようになっている。

第2図は、第1図に示したマイクロ・コンピュータ10の全体的な構成の一実施例を示す。

同図に示すように、上記マイクロ・コンピュ

ータ10には、上述した構成要素すなわちCPU1、マスクROM3、およびEEP-ROM4のほか、CPU1の作業領域を提供するRAM2、外部に対してデータDxの受け渡しを行うI/O（入出力ユニット）5、周辺回路6、およびEEP-ROM書き制御部7などが内蔵されている。これらを内蔵することにより、たとえばICカード内に内蔵されるシングルチップ型マイクロ・コンピュータとしての適性をもたせられている。マイクロ・コンピュータ10内の各部（1～7）はアドレスバスLAおよびデータバスLDによって相互に接続されている。

各メモリや周辺回路に対する制御信号は省略されている。

第3図は、第2図に示したマイクロ・コンピュータ10を、データDxの流れに着目して示す。同図に示すように、外部とのデータDxの授受はすべてCPU1を介して行われるようになっている。これにより適切なソフトウェアによる「鍵」を使用しない限り、内蔵ソフトウェアを知ること

ができない構成とすることが可能である。

第4図は、上記CPU1のアドレス空間の状態の3つの例をそれぞれメモリ・マップによって示す。同図に示すように、上記EEP-ROM4による記憶領域M内には、ユーザ・プログラム領域M1とデータ領域M2の両方が任意の割合でもって割り当てられるようになっている。

第5図は、上記CPU1がEEP-ROM4への書き制御を行う場合の処理動作例をフローチャートによって示す。

第2図において、CPU1は、ユーザ・プログラム領域M1に書き込まれたプログラムIx2を1命令ずつ読込みながら、所定の処理動作を実行する（ステップS6）。

ここで、その処理動作の過程にて要保存データDxをEEP-ROM4に書き込む必要が生じると（ステップS1）、CPU1は、コール命令によって、マスクROM3に格納された標準プログラム領域Ix1中の書き制御プログラムの先頭アドレスにジャンプする（ステップS2）。そして、

その書き制御プログラムにしたがってEEP-ROM4の書き制御処理を実行する（ステップS3）。これにより、EEP-ROM書き制御部7を介して、そのEEP-ROM4への書き込みが行われる。この書き込みが行われている間、EEP-ROM4はCPU1から切り離される。

この後、書き込みが完了すると、CPU1は、たとえば書き制御部7側から送られるフラグあるいは割込み要求に基づいて、書きの完了を判定する（ステップS4）。すると、CPU1は、マスクROM3からEEP-ROM4のプログラム領域M1にリターンし、ジャンプ時のアドレスの次の番地からユーザ・プログラムの読込みを再開する（ステップS5）。そして、処理の終了あるいは次のデータ書き要求が発生するまで、EEP-ROM4のユーザ・プログラムを実行する（ステップS6）。

以上のようにして、ユーザ・プログラム領域M1とデータ領域M2とを1つのEEP-ROM4内に置くことができるようになっている。これと、

特開昭63-266698 (6)

ともに、両領域M1とM2の大きさの割合を任意に選ぶことができるので、EEPROM全体の記憶領域Mのサイズがそれほど大きくなくとも、たとえば第4図に3つの例を示すように、データ領域M2のサイズを小さくする代わりにプログラム領域M1のサイズを大きくとったり、あるいはプログラム領域M1のサイズを小さくする代わりにデータ領域M2のサイズを大きくとったり、といったように記憶領域Mを融通し合って効率良く利用することができる。

これによって、ユーザの多様な用途に対して即座に応じられ、かつデータDxを必要に応じてEEPROM4に半永久的に保存させることができるという利点を保持しつつ、そのハードウェア的な構成規模の縮小を可能にし、かつハードウェア資源の利用効率を高められるようにする、という目的が達成される。

ここで、EEPROMの書き込みが完了されたときのユーザプログラムへのリターンは、実施例のように書き込み制御部7から発せられるフラグあるいは

M3のプログラムに従ってCPU1がI/Oユニット5を介して外部よりプログラムを受信し、順次EEPROM4のユーザプログラム領域M1に対して書き込む構成としてもよい。この例では、内蔵EEPROM4に対して外部から直接アクセスする手段を持たないために、機密保護機能が強化され、ICカード内に内蔵されるシングルチップ型マイクロコンピュータとしての適正を増大させることができる。

この場合、ユーザプログラム4に対する書き込みが既に行われているか否かは、EEPROM4内にフラグを有してその状態で判定すればよい。このフラグの状態に応じて、CPU1のリセット後のスタートアドレスを変更するような構成にしてもよい。

また、書き込み可能なROMとしては、EEPROMのような電気的に書きおよび消去可能なROMだけではなく、紫外線消去型のEPROMも利用できる。

上記の例では、特に制限はされないものの、書

込みは書き込み要求によらずともよい。たとえば、CPU1内の適当な作業レジスタが、EEPROMへの書き込み動作の開始と同時に動作開始されて、その動作中に一定周期で更新される一種のカウンタもしくはタイマとして利用され、かかる作業レジスタの内容が所定値に達したときに上記リターン動作が実行されるように構成されてもよい。つまり、CPU1があらかじめ見込まれる所定の書き込み所要時間を計時し、この計時が完了した時点でEEPROMへの書き込み動作の完了をソフトウェア的にチェックする構成であってもよい。この場合、書き込み時間の設定とその後のリターン動作の制御は、タイマ回路のような専用回路によってハードウェア的に行わせるようにしてもよい。

上記した例では、ユーザプログラムは、特に制限されないものの、外部からの制御によってCPU1を停止し、外部から直接EEPROM4のユーザプログラム領域M1に対して書き込みを行う構成となっている。

このユーザプログラムの書き込みは、マスクROM

込みは書き込み制御回路7によって行われ、一定時間の書き込みが行われている。

EEPROMの場合には、一般にEEPROMに比して書き込み時間が長い。このために、上記のような書き込み時間一定の方法ではICカードに内蔵した場合には応答時間の増加を招いてしまう。ここで、EEPROM素子のプロセスバラツキが大きいことにより、ワーストケースを考慮して書き込み時間は設定されるために多くの場合、書き込み時間が必要以上に費されてしまっている。

そこで、本発明者は書き込み制御回路7に対してCPU1が起動をかけると共に更に、停止も可能とできる構成することを考えた。即ち、書き込み制御回路7内にフラグPGMを設け、このフラグPGMをCPU1がセットすると書き込みが開始され、前記フラグをリセットすると書き込みが終了されるというものである。書き込み時間は、例えば前記したようにソフトウェアによって計時されてもよいし、或はタイマ回路を内蔵しているものにあっても、これを利用してよい。

特開昭63-266698 (7)

第9図は上記の場合のマスクROM3内に格納されるべき書き込み制御プログラムの一実施例を示すフローチャートである。

まず、CPU1がEEPROMに対する書き込みアドレス・データを設定し、EEPROMはこれらをラッチする(ステップS1)。次にCPU1は特定レジスタNの内容をクリアし(ステップS2)、上記レジスタNに+1の加算を行った(ステップS3)後にフラグPGMをセットする(ステップS4)。所定の単位時間例えば1msの計時を行い(ステップS5)、その後フラグPGMをリセットし(ステップS6)単位時間の書き込みを終了する。

この後、正しく書き込みが行われたか否かを判定する(ステップS7)。この判定は、EEPROMの読出しを行いこの読出された内容と書き込みデータを比較する。特に制限はされないが、この読出し時には前記ラッチされたデータを破壊しないように構成されている。この比較結果が不一致であればCPU1は前記レジスタNの値を判定して

(ステップS8)、24以下であれば上記ステップS3に戻り再び単位時間の書き込みを実行する。上記単位時間の書き込みが25回行われても、即ちN=25となっても不一致の場合は不良と判定して(ステップS12)終了する。

上記判定の結果が一致していれば、CPU1はフラグPGMをセットし(ステップS8)、更に3xNmsの計時を行った(ステップS9)後に、フラグPGMをクリアして(ステップS10)終了する。即ち、上記判定結果が一致するまでに要した時間Nmsの3倍の時間による重ね書き込みが行われる。

これによって、素子特性にあった高速かつ確実な書き込みを実現することができ、書き込み時間の短縮、更に応答時間の短縮を図ることができる。

上記した方法によって、ユーザの多様な仕様要求及び多様な用途に対して即座に応じられ、かつデータDxを必要に応じてEEPROMに半永久的に保存させることができるという利点を有しつつ、そのハードウェア的な構成規模の縮小を可能

にし、かつハードウェア資源の利用効率を高められるようにし、更に応答時間を短縮することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、EEPROM内蔵型のマイクロコンピュータにあって、ユーザ・プログラム領域とデータ領域とを1つのEEPROM内に置くことができ、さらに各領域の大きさの割合を任意に選ぶことができ、これによって、ユーザの多様な仕様要求及び多様な用途に対して即座に応じられ、かつデータDxを必要に応じてEEPROMに半永久的に保存させることができるという利点を保持しつつ、そのハードウェア的な構成規模の縮小を可能にし、かつハードウェア資源の利用効率を高めることができる、という効果が得られる。さらにICカード内に内蔵すべきシングルチップ型マイクロコンピュータに適用する場合には、

半導体チップのサイズ縮小によりカードの強度を強化できるという効果が得られる。

以上、本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、書き込み制御プログラムをマスクROM3あるいはEEPROM4に予め格納し、EEPROM4の書き込み動作を行うときに、その格納された書き込み制御プログラムをRAM2へ転送してCPU1に実行させるような構成でもよい。

また、ICカード用シングルチップ型マイクロコンピュータに適用した場合について説明したが、それに限定されるものではなく、たとえば、ボード型のマイクロコンピュータなどにも適用できる。

少なくとも、EEPROMにプログラムとデータの両方を記憶させる条件のものには適用できる。

4. 図面の簡単な説明

特開昭63-266698 (8)

第1図はこの発明による技術が適用されたEEPROM内蔵型マイクロ・コンピュータの主要部を示すブロック図。

第2図は第1図に示したマイクロ・コンピュータの全体的な構成例を示すブロック図。

第3図は第2図に示したマイクロ・コンピュータをデータの流れに着目して示すブロック図。

第4図は第2図に示したマイクロ・コンピュータ内CPUのアドレス空間の3つの状態を例示するアドレスマップ。

第5図は第2図に示したマイクロ・コンピュータの動作例を示すフローチャート。

第6図はこの発明に先立って検討されたEEPROM内蔵型マイクロ・コンピュータの構成を示すブロック図。

第7図は第6図に示したマイクロ・コンピュータをデータの流れに着目して示すブロック図。

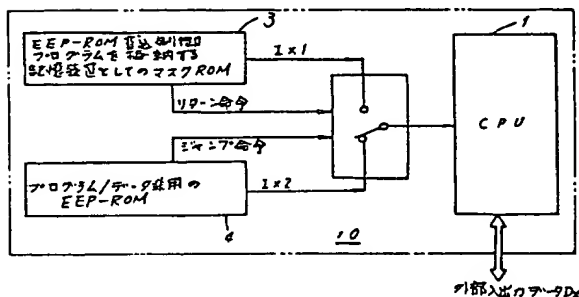
第8図は第6図に示したマイクロ・コンピュータ内CPUのアドレス空間の状態を例示するアドレスマップである。

第9図はEEPROMを内蔵した場合の書き込み制御プログラムを示すフローチャートである。

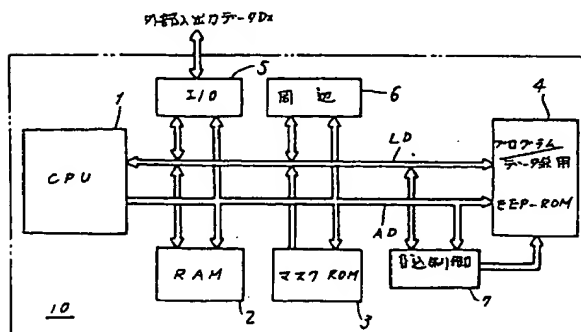
CPU 1…中央処理ユニット、RAM 2…ランダム・アクセス・メモリ、マスクROM 3…固定配値リード・オンリ・メモリ、EEPROM 4 1、4 2…エレクトリカル・エレーサブル・アンド・プログラマブルROM、I/O 5…入出力ユニット。

代理人 弁理士 小川 勘 男

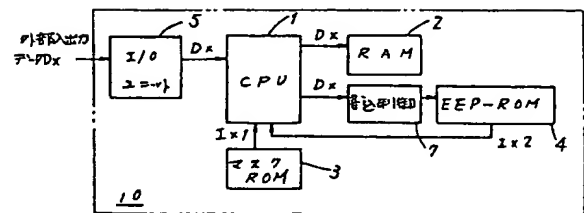
第 1 図



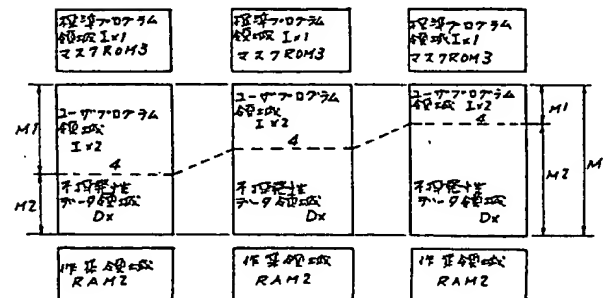
第 2 図



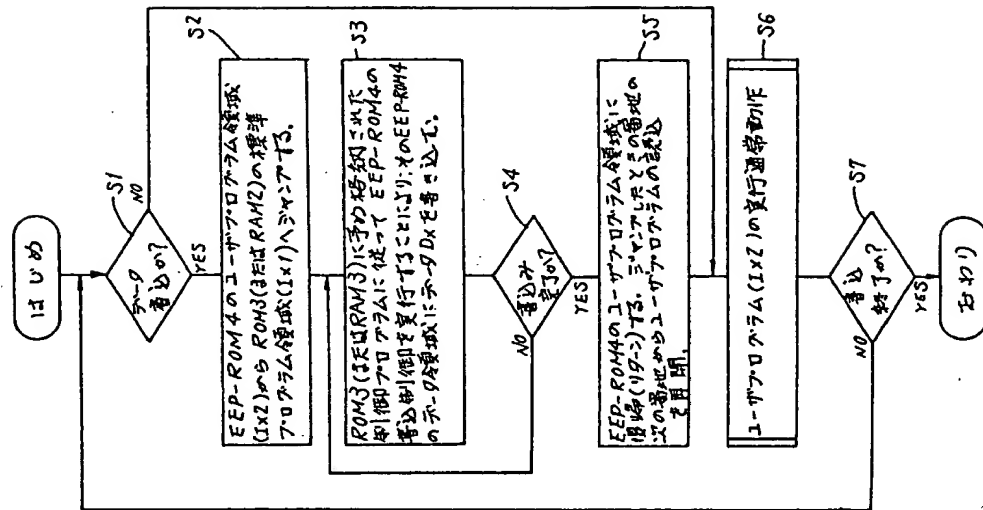
第 3 図



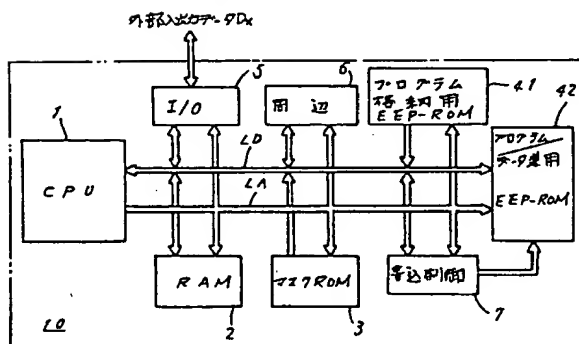
第 4 図



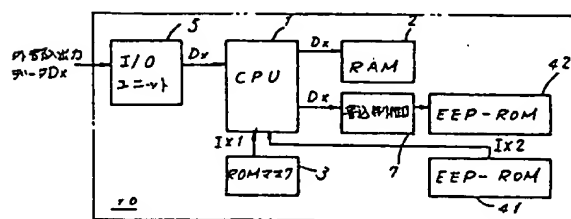
第 5 図



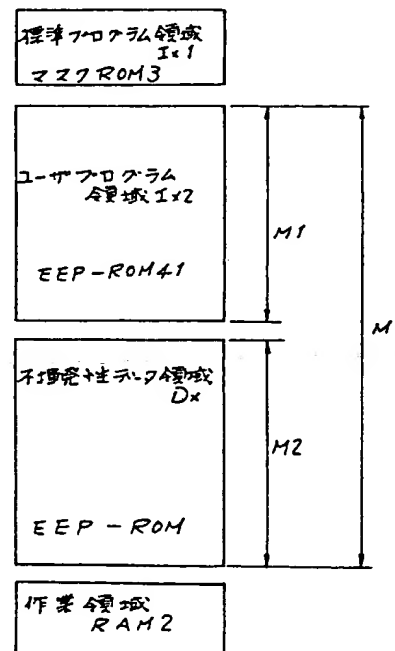
第 6 図



第 7 図

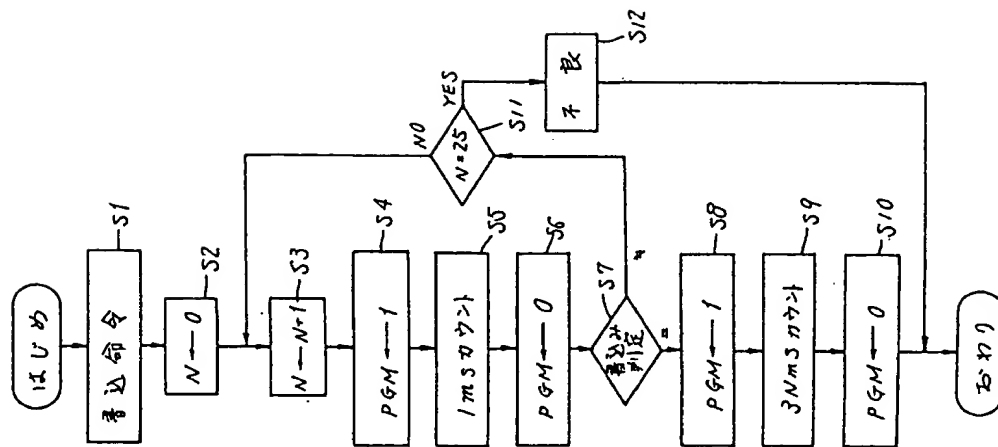


第 8 図



特開昭63-266698 (10)

第 9 図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成6年(1994)10月18日

【公開番号】特開昭63-266698

【公開日】昭和63年(1988)11月2日

【年通号数】公開特許公報63-2667

【出願番号】特願昭62-99772

【国際特許分類第5版】

G06F 15/78 510 A 7323-5L

9/06

12/02 510 A 9366-5B

12/06 520 A 9366-5B

G11C 16/06

【F1】

G11C 17/00 510 A 6741-5L

G06F 9/06 540 M 9367-5B

手 続 補 正 書

平成6年3月17日

特許庁長官殿

1. 事件の表示

昭和62年 特許願 第99772号

2. 発明の名称

マイクロ・コンピュータ

3. 補正をする者

事件との関係

特許出願人

名称

(510) 株式会社 日立製作所

4. 代理人

住所

〒160

東京都新宿区西新宿7丁目22番45号

N. S. Excel 301

氏名

筒井国際特許事務所(☎3366-0787)

(8000) 井理士 筒井大和



5. 補正命令の日付 (自発)

6. 補正の対象

明細書の発明の名称の欄、特許請求の範囲の欄
および発明の詳細な説明の欄

7. 補正の内容

(1). 発明の名称を「マイクロ・コンピュータ」に補正する。

(2). 特許請求の範囲を別紙の通り補正する。

(3). 明細書第2頁第8行の「電気的に書込が可能」を「電気的に書込または消去が可能」に補正する。

(4). 明細書第12頁第4行の次に以下の文を加入する。

「特に、CPUの処理速度より、書込または消去の時間が長かったり、素子特性のバラツキの大きいEEP-ROMなどの電気的に書込(または消去)が可能なROMを内蔵した場合のように、素子特性にあった高速かつ確実な書込を実現することができ、書込時間の短縮、さらに応答時間の短縮が図れるようにするという技術を提供するものである。」

(5). 明細書第12頁第9行~第16行の「すなわち・・・というものである。」を以下のように補正する。

「すなわち、ユーザ・プログラムと要保存データの両方が書込可能にされたプログラム/データ共用の電気的に書込(または消去)が可能なROMと、このROMの書込を制御するフラグと、このROMに書込を行うために上記フラグを操作する制御プログラムを格納する別の記憶装置とを備えるとともに、上記ROMと上記記憶装置を、CPUのアドレス空間上にて互いに異なるアドレス位置に配置する、というものである。」

(6). 明細書第13頁第13行の次に以下の文を加入する。

「特に、制御プログラムによってフラグを操作してROMの書込(または消去)を制御することにより、素子特性にあった高速かつ確実な書込を実現することができ、書込時間の短縮、さらに応答時間の短縮を図ることができる。」

(7). 明細書第24頁第1行の「(ステップS)」を「(ステップS11)」に補正する。

(8). 明細書第25頁第10行~第26頁第2行の「さらにICカード・・・効果を得られる。」を以下のように補正する。

「特に、制御プログラムによってフラグを操作してROMの書込または消去

を制御することができるので、素子特性にあった高速かつ確実な書込または消去を実現し、書込または消去時間の短縮、さらに応答時間の短縮を図ることができる。さらに、ICカード内に内蔵すべきシングルチップ型マイクロコンピュータに適用する場合には、半導体チップのサイズ縮小によりカードの強度を強化できるという効果が得られる。」

(以上)

(別紙)

2. 特許請求の範囲

1. 電気的に書込または消去が可能なROMを備えたマイクロ・コンピュータであって、プログラムとデータの両方が書込可能にされた電気的に書込または消去が可能なROMと、このROMの書込または消去を制御するフラグと、このROMに書込または消去を行うために上記フラグを操作する制御プログラムを格納する記憶装置とを備えるとともに、上記ROMと上記記憶装置が、中央処理ユニットのアドレス空間上にて、互いに異なるアドレス位置に配置されたことを特徴とするマイクロ・コンピュータ。
2. 上記マイクロ・コンピュータに、さらに入出力ユニットを備え、この入出力ユニットを経由して外部から入力したプログラムまたはデータに基づき、上記中央処理ユニットが、上記ROMにプログラムまたはデータの書込または消去を行うことを特徴とする特許請求の範囲第1項記載のマイクロ・コンピュータ。
3. 上記書込または消去を制御する制御プログラムを格納する記憶装置がマスクROMであることを特徴とする特許請求の範囲第1項または第2項記載のマイクロ・コンピュータ。
4. 上記書込または消去を制御する制御プログラムを格納する記憶装置がRAMであることを特徴とする特許請求の範囲第1項または第2項記載のマイクロ・コンピュータ。
5. 上記マイクロ・コンピュータを内蔵し、上記入出力ユニットを介して上記マイクロ・コンピュータと外部とのデータ入出力を可能とするICカードに適用されることを特徴とする特許請求の範囲第1項、第2項、第3項または第4項記載のマイクロ・コンピュータ。

(以上)